

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07230388 A**

(43) Date of publication of application: 29.08.95

(51) Int. Cl.

G06F 11/10
G11B 20/18

(21) Application number: 06022753

(22) Date of filing: 21.02.94

(71) Applicant: FUJITSU LTD

(72) Inventor: HIEDA HIROYUKI

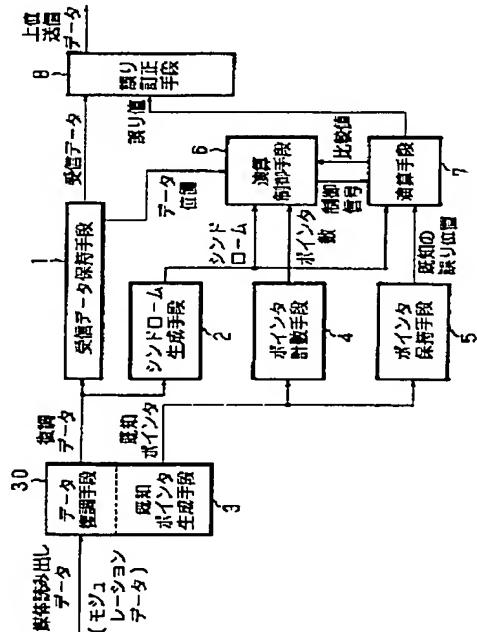
(54) METHOD AND DEVICE FOR ERROR CORRECTION

(57) Abstract:

PURPOSE: To realize a small-scale circuit corresponding to hardware where data is transferred at a high speed and Euclidean algorithm is applied for the purpose of reducing the cost and to realize the operation control with simple hardware by using the error correction method combined with drop-out correction.

CONSTITUTION: When an operation part 7 generates error information and unknown pointers from the syndrome and known pointers, which are generated based on an inputted code word including an error correction code by a syndrome generating part 2 and a pointer generating part 3 respectively, to correct the error of the code word, an operation control part 6 selects the operation method for error correction in the operation part 7 in accordance with the difference between the correction capability and the number of generated known pointers.

COPYRIGHT: (C)1995,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-230388

(43)公開日 平成7年(1995)8月29日

(51)Int.Cl.⁶ 認別記号 庁内整理番号 F I 技術表示箇所
G 0 6 F 11/10 3 3 0 J
G 1 1 B 20/18 5 2 0 E 9074-5D

審査請求 未請求 請求項の数4 O L (全14頁)

(21)出願番号 特願平6-22753

(22)出願日 平成6年(1994)2月21日

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(72)発明者 稲田 裕之
兵庫県加東郡社町佐保35番(番地なし)
富士通周辺機株式会社内
(74)代理人 弁理士 河野 登夫

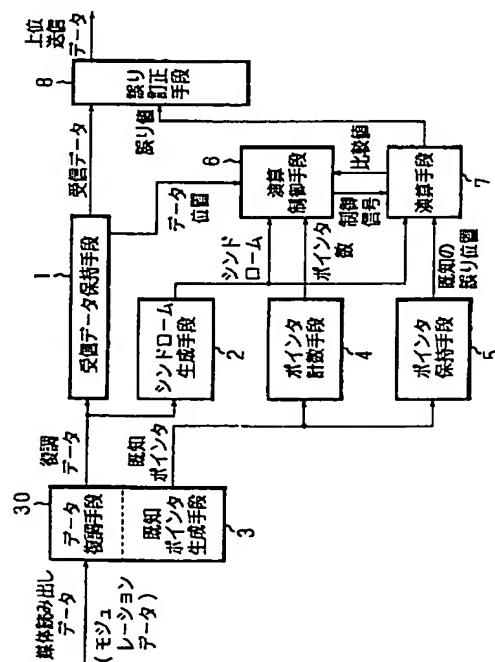
(54)【発明の名称】 誤り訂正方法及び装置

(57)【要約】

【目的】 消失訂正を併用する誤り訂正方法を用い、高速のデータ転送が可能で、且つ低コスト化を可能とするためにユーリクリッド互除が適用されるハードウェアに相当する小規模な回路を実現すると共に演算制御を簡単なハードウェアで実現することを目的とする。

【構成】 入力される誤り訂正符号を含んだ符号語に基づいてシンドローム生成部2が生成したシンドローム及びピント生成部3が生成した既知ピントから演算部7が誤り情報及び未知ピントを生成して符号語の誤りを訂正する際に、訂正能力と生成された既知ピントの数との差に応じて演算制御部6が演算部7の誤り訂正のための演算方法を選択する。

本発明の誤り訂正装置の原理説明のためのブロック図



【特許請求の範囲】

【請求項1】 入力される誤り訂正符号を含んだ符号語(R)に基づいてシンドローム(S)及び既知ポインタ(E)を生成し、生成されたシンドローム(S)及び既知ポインタ(E)から誤り情報(C)及び未知ポインタ(U)を生成して符号語(R)の誤りを訂正する誤り訂正方法において、訂正能力と生成された既知ポインタ(E)の数との差に応じて訂正方法を選択することを特徴とする誤り訂正方法。

【請求項2】 入力される誤り訂正符号を含んだ符号語(R)に基づいてシンドローム(S)及び既知ポインタ(E)を生成し、生成されたシンドローム(S)及び既知ポインタ(E)から誤り情報(C)及び未知ポインタ(U)を生成して符号語(R)の誤りを訂正する誤り訂正装置において、訂正対象の符号語(R)をその誤り訂正に必要な時間にわたって保持する受信データ保持手段(1)と、訂正対象の符号語(R)からシンドローム(S)を生成するシンドローム生成手段(2)と、変調された符号語(R')から既知ポインタ(E)を検出する既知ポインタ生成手段(3)と、前記既知ポインタ生成手段(3)が生成した既知ポインタ(E)の数を計数するポインタ計数手段(4)と、前記既知ポインタ生成手段(3)が生成した既知ポインタ(E)を誤り訂正に必要な時間にわたって保持するポインタ保持手段(5)と、誤り情報(C)及び未知ポインタ(U)を計算する演算手段(7)と、前記演算手段(7)を制御する演算制御手段(6)と、前記演算手段(7)が計算した誤り情報(C)に応じて前記受信データ保持手段(1)が保持している符号語(R)を訂正する誤り訂正手段(8)とを備え、前記ポインタ計数手段(4)の計数結果と誤り訂正能力とに応じて前記演算制御手段(6)による前記演算手段(7)の制御を決定すべくなしてあることを特徴とする誤り訂正装置。

【請求項3】 前記演算手段(7)は、それぞれが乗算手段(71)と、加算手段(72)と、前記乗算手段(71)及び各加算手段(72)による計算結果を保持するためのデータ保持手段(73)と、前記乗算手段(71)及び各加算手段(72)への入力を選択するためのデータ選択手段(74)とを有する訂正能力の数に等しい数の基本演算手段(701, 702, 703, 704)を有し、

誤り情報(C)それぞれに前記基本演算手段(701, 702, 703, 704)を割り当てることにより、前記演算制御手段(6)による前記基本演算手段(701, 702, 703, 704)の制御を共通化すべくなしてあることを特徴とする請求項2に記載の誤り訂正装置。

【請求項4】 各乗算回路(71)及び各加算回路(72)によ

る計算結果を前記データ保持手段(73)が前記演算制御手段(6)の制御により適宜のタイミングで保持すると共に前記乗算手段(71)及び加算手段(72)へデータを入力するためのデータ選択手段(74)にフィードバックすることにより繰り返し演算を行なうべくなしてあることを特徴とする請求項2に記載の誤り訂正装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はディジタル信号の誤り訂正方法及びその装置に関し、特に、磁気テープ装置のようなディジタル信号の記録、再生の際に高速のデータ転送を必要とする装置に適用され、更に誤り訂正符号以外の情報により既知ポインタを生成し、消失訂正を併用する誤り訂正方法及びその装置に関する。

【0002】

【従来の技術】 従来の磁気テープ装置等のディジタル信号の記録、再生装置においては、記録、再生の対象となるディジタルの情報データの信頼性を確保するために、所定の方法によって生成された誤り検出及び訂正のための検査データを附加してディジタル信号を記録し、再生時には情報データと検査データとに基づいて誤りを検出及び訂正する手法が一般的に採用されている。

【0003】 また、従来公知のリードソロモン符号を使用した誤り訂正符号は符号の冗長度と誤り訂正能力の面で優れているため、ディジタル信号を扱う磁気テープ装置、磁気ディスク装置、光磁気ディスク装置、ディジタルオーディオテープ装置等に今日では一般的に使用されている。

【0004】 ところで、リードソロモン符号の訂正能力は下記式(1)で表される。

$$d \geq 2e + s + 1 \quad \cdots (1)$$

なおここで、dは最小距離と称され、符号の訂正能力を決定する。また、eは誤りを示し、sは誤り位置が判明している誤り(消失と称される)を示している。

【0005】 また、磁気テープ装置のような高速のデータ転送を必要とする装置においては、モジュレーションデータ異常を検出する等、誤り訂正符号以外の情報による既知ポインタを利用した消失訂正を行なうことにより、符号の最小距離を増大することなく、換言すれば冗長度を増大することなしにデータの信頼性を確保する手法が採られている。

【0006】 符号の最小距離が小さい場合には、たとえば特開昭59-123945号公報に開示されているように、誤りの訂正是クラーメルの公式により誤り値と誤り位置とを計算することにより行なわれていた。また逆に、高速のデータ転送を必要としないような装置においては、たとえば特開平3-166827号公報、特開平3-172027号公報等に開示されているように、主にファームウェア制御によるユークリッド互除を適用した簡単なハードウェアによる繰り返し演算で誤り訂正を行なっていた。

【0007】

【発明が解決しようとする課題】ところで、磁気テープ装置等では上述のように消失訂正が行なわれるが、そのための計算方法は既知ポイント数によって異なる。このため、ガロア体上の加算、乗算、除算の組み合わせが増大し、多数の演算回路が必要になる。そのような演算回路の増加を回避するためにたとえば、訂正が容易な誤りはハードウェアを用いてオンザフライ（データ転送と同時に訂正を行なうこと）で訂正し、訂正が複雑な誤りはデータを一時的に保持した後にファームウェアの制御によって訂正のための演算を行なう等の対策を講じることが可能である。

【0008】そのような従来技術の一例としてたとえば、特開昭59-123945号公報の発明では、下記式(2)に示されているロケーション評価式計算過程の演算のために図8のブロック図に示されているような回路構成を採用している。

$$\Delta_{33} = S_2 (S_1 * S_3 + S_2 * S_2) + S_3 (S_0 * S_3 + S_1 * S_2) + S_4 (S_1 * S_1 + S_2 * S_0) \dots (2)$$

【0010】図8において、参照符号101はガロア体上の乗算手段を示しており、式(1)の $S_1 * S_3$, $S_2 * S_2$, $S_0 * S_3$, $S_1 * S_2$, $S_1 * S_1$ 及び $S_2 * S_0$ の乗算を行なうために第一段目に6個が備えられている。また、参照符号102は加算手段を示しており、上述の6個の乗算手段101による乗算結果を二つずつ加算するために第2段目に3個が備えられている。また、これらの加算手段102の加算結果に S_2 , S_3 , S_4 をそれぞれ乗ずるために乗算手段101が第3段目に3個備えられており、その結果を加算するための加算手段102が更に2個備えられている。

【0011】この例ではそれぞれの乗算手段101は64個のAND素子及び71個のEXOR素子にて構成されており、またそれぞれの加算手段102は8個のEXOR素子にて構成されている。このように、 $S_1 * S_3$, $S_2 * S_2$ …のそれぞれの乗算に対して乗算器101が必要であるため、回路規模が増大する。

【0012】更に、下記式(3)に示されている4重消失訂正計算式の演算を行なう場合にも専用回路が必要であり、小型化及び低コスト化の妨げとなる。

$$[0013] e \cdot h = \{S_0 \cdot b \cdot c \cdot d + S_1 \cdot (b \cdot c + b \cdot d + c \cdot d) + S_2 \cdot (b + c + d) + S_3\} / \{ (a + b) \cdot (a + c) \cdot (a + d) \} \dots (3)$$

【0014】一方、ユークリッド互除による誤り訂正では簡単な演算を多数回繰り返し行なう必要があるため、ハードウェアでガロア体上の加算器及び乗算器を構成しておき、主にファームウェアによってデータ処理を行なうようにしている。このため、誤り訂正のための処理時間が長くなるという問題が生じていた。

【0015】そのような従来技術の一例としてたとえ

ば、特開平3-166827号公報の発明に開示されているユーリッド互除に適用されるハードウェア構成を図9のブロック図に示す。なお、図9において、参照符号110は乗算回路を示しており、入力A及びB (α^n 及び α^m) の指数を読み出すためのメモリ(LOGROM)で構成された指数テーブルROM 111, 112、それらから出力される指数n, mを加算する加算器113、加算結果を一時保持するレジスタ(REG)114、出力 (α^{n+m}) を生成する指数テーブル115及び出力を一時保持するレジスタ116等で構成されている。

【0016】また、参照符号120は加算回路を示しており、加算器112、レジスタ122及びレジスタ群113等で構成されている。

【0017】この図9に示されている従来技術によれば、乗算回路110は基本的には $\alpha^n * \alpha^m = \alpha^{n+m}$ の演算を行なうための指数テーブル111, 112と指数の加算を行なう加算器113とにより実現されている。しかしこのような構成では、処理時間が長くなると共に回路規模が増大するため、実用的であるとは言い難い。また、加算回路120の加算器121は前述の従来例と同様に8個のEXOR素子で構成されていると考えられる。

【0018】このような図9に示されている回路構成は、前述の従来技術としての特開昭59-123945号公報に開示されている発明と比較すれば簡単になってはいるが、ユーリッドの繰り返し処理を行なうため、処理速度は極めて低速になり、高速のデータ転送を必要とする装置への適用は困難である。

【0019】本発明は以上のような事情に鑑みてなされたものであり、消失訂正を併用する誤り訂正方法を用い、高速のデータ転送が可能で、且つ低コスト化を可能とするためにユーリッドの繰り返し処理を行なうため、処理速度は極めて低速になり、高速のデータ転送を必要とする装置への適用は困難である。

【0020】

【課題を解決するための手段】図1は本発明の誤り訂正装置の原理説明のための基本的構成を示すブロック図である。

【0021】図1において、参照符号30はデータ復調手段を示しており、たとえば磁気テープ等の媒体から読み出されたそのままのデータ（モジュレーションデータ）を復調する。具体的には、媒体にはたとえば8ビットのデータを9ビットのデータに変調して記録されており、読み出し時に9ビットのデータをこのデータ復調手段30で8ビットのデータに復調する。

【0022】参照符号1は受信データ保持手段を示しており、データ復調手段30により復調されたデータを受信してその誤り訂正に要する時間にわたって保持する。参照符号2はシンドローム生成手段を示しており、データ復調手段30が復調したデータに誤りが存在するか否かをチェックし、シンドロームを生成する。

【0023】参照符号3は既知ポインタ生成手段を示しており、復調データからモジュレーションデータ異常等を検出して既知ポインタを生成する。参照符号4はポインタ数の計数手段（ポインタ計数手段）を示しており、既知ポインタ生成手段3から出力される既知ポインタの数を計数し、訂正能力以内の数であるか否かをチェックする。

【0024】参照符号5はポインタ保持手段を示しており、既知ポインタ生成手段3が誤り訂正の対象となっているデータから抽出したポインタをその誤り訂正に必要に時間にわたって保持する。参照符号6は演算制御手段を示しており、シンドローム生成手段2が生成するシンドロームとポインタ計数手段4が計数したポインタ数から演算手順を選択し、演算手段7を制御する。

【0025】参照符号7は上述の如く演算手段を示しており、演算制御手段6により制御されてガロア体上の演算（加算、乗算、除算）を行なう他、演算結果の比較を行なう。得られた比較結果は演算制御手段6へ戻される。参照符号8は誤り訂正手段を示しており、具体的にはEXOR素子で構成されている。この誤り訂正手段8は、受信データ保持手段1が保持している復調データと演算手段7による演算結果である誤り値との排他的論理和を求ることにより、復調データの誤りの訂正を行なう。誤り訂正された後のデータは図示されていない上位装置へ送信される。

【0026】図2は図1に示されている演算手段7のより具体的な構成例を示すブロック図である。図2において、参照符号701、702、703は演算回路を示しており、いずれも同一に構成されている。

【0027】参照符号71は乗算手段を示しており、AND素子とEXOR素子とで構成されている。この乗算手段71はガロア体上の2項の乗算 $\alpha^i * \alpha^j$ を行なう。参照符号72は加算手段を示しており、EXOR素子で構成されている。この加算手段72はガロア体上の2項の加算 $\alpha^i + \alpha^j$ を行なう。

【0028】参照符号73a、73bはデータ保持手段を示している。データ保持手段73aは乗算手段71の演算結果を、データ保持手段73bは加算手段72の演算結果をそれぞれ保持する。

【0029】参照符号74a、74bはデータ選択手段を示している。データ選択手段74aは乗算手段71への、データ選択手段74bは加算手段72への入力をそれぞれ選択する。なお、両データ選択手段74a、74bへの入力は、シンドローム生成手段2からのシンドローム、ポインタ保持手段5からの既知ポインタ及び後述する逆元テーブル75からの逆元である。

【0030】また、参照符号77もデータ選択手段を示している。このデータ選択手段77は演算回路701、702、703から出力されるデータを選択する。なお、各データ選択手段74a、74b、77、データ保持手段73a、73bはいずれ

も演算制御手段6から出力される制御信号により制御される。

【0031】参照符号75は逆元テーブルを示しており、ガロア体上の除算を行なう際に、「 α^i / α^j 」の除算を「 $\alpha^i * \alpha^{-j}$ 」の乗算により行なう目的で「 $\alpha^x * \alpha^{-x} = 1$ 」の関係をテーブル化して記憶している。この逆元テーブル75の出力はデータ選択手段74aへの入力となる。参照符号76はデータ比較手段であり、各演算結果を比較し、その結果の比較値を演算制御手段6に通知する。

【0032】このような演算手段7は、乗算手段71の出力を保持手段73aに、加算手段72の出力を保持手段73bにそれぞれ保持すると共に、それをデータ選択手段74a、74bを経由して乗算手段71及び加算手段72の入力にフィードバックするように構成されている。このため、保持手段73a、73bのイネーブル/ディスエーブルとデータ選択手段74a、74bによるデータの選択を演算制御手段6が制御することにより、例えば以下のようないくつかの手順により前述の式1の演算を行なうことが出来る。

20 【0033】ステップ1：乗算手段71が $S_1 * S_3$ を計算し、保持手段73aが結果を保持する。

ステップ2：乗算手段71が $S_2 * S_3$ を計算し、保持手段73aが結果を保持する。

ステップ3：乗算手段71が $S_1 * S_2$ を計算すると同時に加算手段72がデータ保持手段73aに保持されている $S_1 * S_3$ と保持手段73bに保持されている $S_2 * S_3$ との加算を行ない、その結果を保持手段73bが保持する。以下、ステップ4…ステップ11と同様に繰り返され演算が完了する。

30 【0034】一般的に、データ転送を行なう場合には、メモリの書き込み及び読み出しの2サイクルが必要となるため、符号長の2倍の演算処理ステップ以内であればオンザフライ、即ちデータ転送と同時に訂正を行なうことが可能である。逆に、符号長を極端に短くすることは冗長度が増加することを意味し、一般的ではない。このことから、演算処理の時分割化は装置性能に影響を及ぼすことはないことが理解される。更に、最大訂正能力数と等しい数の演算回路を備えることにより、逆元テーブルを時分割使用することが可能になり、従来の演算回路構成と比較して回路の小規模化が可能になる。

【0035】

【作用】上述のような基本構成の本発明の誤り訂正装置の概略の動作について図3のフローチャートを参照して説明する。

【0036】まず、ステップS11で、データ復調手段30が復調データからシンドローム生成手段2がシンドロームを生成する。シンドロームは誤り値と誤り位置との関係であり、誤りがなければオール”0”になる。

50 【0037】ステップS12で演算制御手段6がシンドロ

ームのチェック、即ち”0”であるか否か ($=0$ 又は $\neq 0$) を判断する。この結果が”0”であれば誤りがない、または訂正能力を越える誤りがあることを示していくので演算制御手段6は処理を終了する。

【0038】ステップS12での演算制御手段6による判断の結果が”0”でなければ ($\neq 0$) 訂正可能な誤りがあることを示しているので、ステップS13でポインタ計数手段4が計数した既知ポインタの数ETPCを演算制御手段6がチェックし、ポインタ数に応じた誤り訂正のための演算処理を選択する。ここで、訂正能力を t とし、前述の式(1)のリードソロモン符号の訂正能力の式を用いると、「 $t \geq 2e + s$ 」となる。従って、演算処理は、消失訂正 s と誤り訂正1との合計数「 $s + 1$ 」の処理から選択されることになる。

【0039】なお、既知ポインタの数ETPCが最小距離と等しいかまたはそれ以上である場合には、既知ポインタが過剰であることを示す訂正不能フラグ2が発生される。

【0040】ポインタが存在しない誤りの数はこの時点では明確でないため、計算処理によって誤りの数を求める必要がある。従って、演算処理の選択肢は一つのみになる。

【0041】次に、 $s \leq t - 2$ の場合について考えると、消失以外に訂正能力以内の誤りがある場合にも訂正が可能である。そこで、ステップS14で演算手段7が消失以外の誤りの位置(未知ポインタ)を計算し、ステップS16の $s + e$ 誤り訂正演算処理に移行する。更に、上述のようにして求められた未知のポインタ数を e とすれば、 $s + e \leq t - 1$ の場合にはステップS15で演算手段7が演算処理に未使用のシンドロームと演算結果とを比較するシンドローム検算を行なって訂正の正当性が判断される。この場合、訂正が不当であれば、訂正能力を超過していることを示す訂正不能フラグ2が発生される。

【0042】シンドローム $\neq 0$ 、 $s + e \leq t - 1$ である場合の演算制御手段6による演算処理の一例 ($t = 4$, $s = 2$, $e = 1$) の具体的な演算処理を図4のフローチャートに示す。

【0043】まず、ステップS21にて受信語*検査行列にてシンドロームの計算が行なわれる。シンドロームは誤り値と誤り位置の関数であり、シンドロームを S_i 、誤り値を E 、誤り位置を α^i としたとき、 $S_i = E(\alpha^i)$ で表される。なお、既知のポインタ = α^h , α^i 、未知のポインタ = α^j 、それぞれの誤り値を e_h , e_i , e_j とした場合、シンドロームは以下のように表される。

$$S_0 = e_h + e_i + e_j$$

$$S_1 = e_h * \alpha^h + e_i * \alpha^i + e_j * \alpha^j$$

$$S_2 = e_h * \alpha^{2h} + e_i * \alpha^{2i} + e_j * \alpha^{2j}$$

$$S_3 = e_h * \alpha^{3h} + e_i * \alpha^{3i} + e_j * \alpha^{3j}$$

【0045】ここで、リードソロモン符号はガロア体を

元とする巡回符号であり、演算はガロア体上で行なわれるため、「+」は排他的論理和として処理される。ステップS22において、既知ポインタ数の判定が行なわれる。この場合、既知ポインタ数が $s \leq t - 2$ であるので、訂正能力以内の未知の誤り α^j の存在の有無がステップS23の判定式でチェックされる。 α^j が存在する場合は判定式の結果は $\neq 0$ となるため、ステップS24にて α^j が計算される。ステップS25では、既知ポインタ α^h , α^i とステップS24で計算された未知ポインタ α^j 10 とが用いられて三重消失訂正の計算が行なわれ、 e_h , e_i , e_j を導き出される。

【0046】ステップS23の結果が $= 0$ である場合、未知ポインタ α^j は存在しないと判断され、ステップS26で二重消失訂正の計算が行なわれる。ステップS27では、ステップS26で計算された e_h , e_i の正当性を判断するため、ステップS27でシンドローム S_3 を用いて検算が行なわれる。ステップS27の結果が真であれば訂正が可能であることを意味し、偽である場合には訂正能力を越える誤りが存在していることを意味する。この場合には、訂正能力を超過していることを示す訂正不能フラグ2が発生されて訂正不能であることが上位に通知され、処理が終了する。

【0047】ステップS25またはステップS26で計算された誤り値 e_h , e_i (e_j) は、受信データ保持手段1からの読みだしデータ位置が誤り位置 α^h , α^i , α^j に一致した時点で誤り訂正手段(EXOR素子)8に入力され、受信データの誤りが訂正される。

【0048】

【実施例】以下、本発明をその実施例を示す図面に基づいて詳述する。

【0049】図5は本発明の誤り訂正装置の一実施例の構成例を示すブロック図であり、ANSI (AXC X3 Project No. 703-D)に準拠した磁気テープ装置の誤り訂正回路を示している。

【0050】なお、本実施例では、最小距離 = 5、符号長18であるリードソロモン符号を採用しており、図5においては前述の本発明の基本原理を示す図1と同一の参照符号は同一又は相当部分を示している。

【0051】図5において、参照符号30はデータ復調手段としてのデータ変換テーブル30を示しており、たとえば磁気テープ等の媒体から読み出されたそのままの媒体データ(ミュレーションデータ)を復調する。具体的には、媒体にはたとえば8ビットのデータを9ビットのデータに変調して記録されており、読み出し時に9ビットのデータをこのデータ復調手段30でテーブル参照により8ビットのデータに復調してECC入力データとして出力する。

【0052】参照符号1は受信データ保持部を示しており、具体的には記憶容量18ByteのRAMを2個使用している。この受信データ保持部1はデータ変換テーブル30か

ら出力される ECC入力データを受信してその誤り訂正に要する時間にわたって保持する。

【0053】参照符号2はシンドローム生成部を示しており、4組のEXOR(排他的論理和)素子21、乗算レジスタ20及びレジスタ(REG)22, 23で構成されている。このシンドローム生成部2は、データ変換テーブル30が復調したデータに誤りが存在するか否かをチェックし、シンドロームを生成する。

【0054】参照符号3はポインタ生成部を示しており、具体的にはデータ判定テーブルで構成されている。なお、本実施例が適用される磁気テープ装置においては、8ビットのデータを9ビットのデータに変調して磁気媒体である磁気テープに記録しており、読み出し時に9ビットの変調データが8ビットのコードグループに属するか否かの判定が行なわれることにより誤りの位置が特定され、既知ポインタが生成される。

【0055】参照符号4はポインタ計数部を示しており、加算器(ADDR)41とデコーダ(DEC)42とで構成されている。このポインタ計数部4は、ポインタ生成部3により生成された既知ポインタを加算器41で計数し、その計数値をデコーダ42でコードしたデータETPCを出力する。この既知ポインタ数のデータETPCは後述する演算制御部6が演算選択肢を選択するための判断材料となる。

【0056】参照符号5はポインタ保持部を示しており、デコーダ(DEC)51と4個のレジスタ(REG)52とで構成されている。このポインタ保持部5は、ポインタ生成部3で生成された既知ポインタを誤り訂正に必要な時間にわたって保持する。

【0057】参照符号6は演算制御部を示しており、具体的には演算制御シーケンサで構成されている。この演算制御部6は、シンドローム生成部2で生成されたシンドローム、ポインタ計数部4で計数された既知ポインタ数、後述する演算部7から与えられるデータ比較結果に基づいて後述する演算部7に行なわせるべき演算の手順を制御する。

【0058】参照符号8は誤り訂正部を示しており、具体的には8ビット分の排他的論理和(EXOR)素子で構成されている。この誤り訂正部8は、受信データ保持部1からの出力データが既知ポインタ又は未知ポインタで示される誤り位置と一致した場合に、そのデータと演算部7によって計算された誤り値との排他的論理和をとることによって誤りデータを訂正する。誤り訂正後のデータは図示されていない上位装置へ上位データとして出力される。

【0059】参照符号7は演算部を示しており、演算制御部6による演算制御下で誤り訂正のための演算を行なう。この演算部7の具体的な構成例を図6のブロック図に示す。この演算部7は本実施例では4組の演算回路とそれらの出力を処理するいくつかの部材で構成されている。なお、演算回路それぞれは参照符号701, 702, 703,

704で示されているが、いずれも同一構成であるので、図6には原則として参照符号701にて示されている演算回路の構成のみを示す。

【0060】参照符号71は乗算回路を示しており、AND素子とEXOR素子とで構成されている。この乗算回路71はガロア体上の2項の乗算 $\alpha^i * \alpha^j$ を行なう。参照符号72は加算回路を示しており、EXOR素子で構成されている。この加算回路72はガロア体上の2項の加算 $\alpha^i + \alpha^j$ を行なう。

10 【0061】参照符号73a, 73bはデータ保持回路を示している。データ保持回路73aは乗算回路71の演算結果を、データ保持回路73bは加算回路72の演算結果をそれぞれ保持する。なお、データ保持回路73aは1個のマルチプレクサ(MPU)とレジスタ(REG)73a1, 73a2及び乗算レジスタ7311とで構成されている。なお、演算回路702の乗算レジスタを参照符号7321で、演算回路703の乗算レジスタを参照符号7331で、演算回路704の乗算レジスタを参照符号7341でそれぞれ表す。また、データ保持回路73bはレジスタ(REG)73b1, 73b2及び加算レジスタ7320とで構成されている。なお、演算回路702の加算レジスタを参照符号7322で、演算回路703の加算レジスタを参照符号7332で、演算回路704の加算レジスタを参照符号7342でそれぞれ表す。

【0062】参照符号74a, 74bはそれぞれ2個のマルチプレクサ(MPU)で構成されたデータ選択回路を示している。データ選択回路74aは乗算回路71への、データ選択回路74bは加算回路72への入力をそれぞれ選択する。なお、両データ選択回路74a, 74bへの入力は、シンドローム生成回路2からのシンドローム(S0, S1, S2, S3), ポインタ保持部5からの既知ポインタ($\alpha^h, \alpha^i, \alpha^j, \alpha^k$)及び後述する逆元テーブル75からの逆元 α^{-x} と、演算制御部6から与えられる制御信号である。

【0063】また、参照符号77はデータ選択回路としてのマルチプレクサを示している。このデータ選択回路77は演算回路701, 702, 703から出力されるデータを選択する。なお、各データ選択回路74a, 74b, 77, データ保持回路73a, 73bはいずれも演算制御手段6から出力される制御信号により制御される。

40 【0064】参照符号75は逆元テーブルを示しており、ガロア体上の除算を行なう際に、「 α^i / α^j 」の除算を「 $\alpha^i * \alpha^{-j}$ 」の乗算により行なう目的で「 $\alpha^x * \alpha^{-x} = 1$ 」の関係をテーブル化して記憶している。この逆元テーブル75の出力はデータ選択回路74aへの入力となる。参照符号76はデータ比較回路であり、各演算結果を比較し、その結果の比較値を演算制御手段6に通知する。

【0065】このような演算部7は、乗算回路71の出力をデータ保持回路73aに、加算回路72の出力をデータ保持回路73bにそれぞれ保持すると共に、それをデータ選

11

択回路74a, 74bを経由して乗算回路71及び加算回路72の入力にフィードバックするように構成されている。このため、データ保持回路73a, 73bのイネーブル／ディスエーブルとデータ選択回路74a, 74bによるデータの選択を演算制御回路6が制御することにより、例えば以下のような演算を行なうことが出来る。

【0066】本実施例が適用される磁気テープ装置において、乗算回路71は原始多項式

$$G(x) = X^8 + X^4 + X^3 + X^2 + 1$$

を用い、 $a(x) * b(x) = c(x)$ 、中間多項式= $h(x)$ とすれば、

$$[0067] h_0 = a_0 \cdot b_0$$

$$h_1 = a_1 \cdot b_0 + a_0 \cdot b_1$$

$$h_2 = a_2 \cdot b_0 + a_1 \cdot b_1 + a_0 \cdot b_2$$

$$h_3 = a_3 \cdot b_0 + a_2 \cdot b_1 + a_1 \cdot b_2 + a_0 \cdot b_3$$

3

.

.

$$h_{12} = a_7 \cdot b_5 + a_6 \cdot b_6 + a_5 \cdot b_7$$

$$h_{13} = a_7 \cdot b_6 + a_6 \cdot b_7$$

$$h_{14} = a_7 \cdot b_7$$

【0068】但し、 \cdot : AND

$+$: EXOR

$h_0 \sim h_{13}$: $h(x)$ のビット表現

のように表現できる。

【0069】次に、 $c(x) = h(x) \bmod G(x)$ を計算することにより、乗算結果 $c(x)$ の各ビットは

$$c_0 = h_0 + h_8 + h_{12} + h_{13} + h_{14}$$

$$c_1 = h_1 + h_9 + h_{13} + h_{14}$$

$$c_2 = h_2 + h_8 + h_{10} + h_{12} + h_{13}$$

$$c_3 = h_3 + h_8 + h_9 + h_{11} + h_{12}$$

$$c_4 = h_4 + h_8 + h_9 + h_{10} + h_{14}$$

$$c_5 = h_5 + h_9 + h_{10} + h_{11}$$

$$c_6 = h_6 + h_{10} + h_{11} + h_{12}$$

$$c_7 = h_7 + h_{11} + h_{12} + h_{13}$$

のように表現できる。この乗算回路71は論理積素子(ANDゲート)と排他的論理和素子(EXORゲート)とによって容易に実現することができる。

【0070】加算回路72は8ビット分の排他的論理和素子(EXORゲート)で実現することが可能である。また、データ保持回路73a, 73bのレジスタは計算処理時間に応じて増減することができるが、本実施例においては、それぞれの演算回路701, 702, 703, 704において、乗算レジスタ7311(7321, 7331, 7341)が2バイト分と加算レジスタ7312(7322, 7332, 7342)が3バイト分及び他の各レジスタが1バイト分で構成されている。

【0071】データ選択回路74a, 74b及びデータ保持回路73aのマルチプレクサ(MPX)は、データ保持回路73a, 73bのレジスタの数に応じて増減することができるが、

本実施例においては乗算回路71への入力選択用のデータ

12

選択回路74aにマルチプレクサが2個と、加算回路72への入力選択用のデータ選択回路74bにマルチプレクサが2個と、データ保持回路73aのレジスタ選択用のマルチプレクサが1個とで構成されている。

【0072】逆元テーブル75は、ガロア体上の乗法に関する逆元「 $\alpha^x * \alpha^{-x} = 1$ 」の関係をテーブル化した回路であり、論理積素子(ANDゲート)及び論理和素子(ORゲート)によって構成されている。この逆元テーブル75は、ガロア体上の除算を行なう際に、「 α^i / α^j 」の除算を「 $\alpha^i * \alpha^{-j}$ 」の乗算により行なう目的で「 $\alpha^x * \alpha^{-x} = 1$ 」の関係に変換し、データ選択手段74aへ出力する。

【0073】参照符号76はデータ比較回路であり、 $A = B$?あるいは $A = 0$?等のデータ比較を行なって各演算結果を比較し、その結果の比較値を演算制御手段6に通知する。

【0074】上述のような本実施例の構成による前述の二重消失訂正の演算手順の一例を図7のフローチャートに示す。

20 【0075】ステップS31において、演算回路701に既知ポイント α^h とシンドローム S_0 とが入力されてその乗算回路71での乗算結果 $M = \alpha^h * S_0$ が乗算レジスタ7311に保持される。同様に、演算回路702には既知ポイント α^h とシンドローム S_1 とが入力されてその乗算回路71での乗算結果 $M = \alpha^h * S_1$ が乗算レジスタ7321に保持される。更に、演算回路703には既知ポイント α^h とシンドローム S_2 とが入力されてその乗算回路71での乗算結果 $M = \alpha^h * S_2$ が乗算レジスタ7331に保持される。

30 【0076】ステップS32において、演算回路701にシンドローム S_1 が入力され、その加算回路72での乗算レジスタ7311の値との加算結果 $A = S_1 + "7311" (= \lambda 0)$ が加算レジスタ7312に保持される。同様に、演算回路702にはシンドローム S_2 が入力され、その加算回路72での乗算レジスタ7321の値との加算結果 $A = S_2 + "7321" (= \lambda 1)$ が加算レジスタ7322に保持される。更に、演算回路703にはシンドローム S_3 が入力され、その加算回路72での乗算レジスタ7331との加算結果 $A = S_3 + "7331" (= \lambda 2)$ が加算レジスタ7332に保持される。この時点で、 $\lambda 0$, $\lambda 1$, $\lambda 2$ の値が各演算回路701, 702, 703の加算レジスタ7312, 7322, 7332に格納されたことになる。

【0077】ステップS33において、演算回路701と702とに既知ポイント α^i が入力され、それぞれの乗算回路71によりそれぞれの加算レジスタ7312, 7322の値との乗算が行なわれ、乗算結果 $M = \alpha^i * "7312", \alpha^i * "7322"$ が乗算レジスタ7311, 7321にそれぞれ保持される。

【0078】ステップS34において、演算回路701に演算回路702の加算レジスタ7322の値が、演算回路702に

演算回路703 の加算レジスタ7332の値がそれぞれ入力され、それぞれの加算回路72でそれぞれの乗算レジスタ73 11, 7321の値との加算が行なわれる。

【0079】これらの加算結果A="7322" + "731 1" , "7332" + "7321" はそれぞれ μ_0 , μ_1 であり、データ比較回路76において"0"に等しいか否かがチェックされる。"0"に等しい場合には、ステップS35以降で二重消失訂正の演算が演算回路701 及び702で行なわれ、これと並行してステップS35では演算回路701で得られた結果 μ_0 が逆元テーブル75に入力されてその逆元 μ^{-1} が求められる。

【0080】ステップS34で得られた結果が"0"に等しくない場合には、ステップS36において演算回路703がその乗算回路71で μ_1 と μ^{-1} との乗算を行なうことにより、未知ポインタ α^j が計算される。爾後、三重消失訂正の演算が演算回路701, 702, 703 で行なわれる。

【0081】なお、上述の実施例では、演算部に誤り訂正能力数に等しい4組の演算回路を備えているが、要求される訂正処理時間に応じて増減してもよいことは言うまでもない。更に、レジスタ、マルチプレクサの数についても上述の実施例に限定される必然性はない。また、リードソロモン符号は8ビットとして説明したが、8ビットに限定されるものではなく、乗算回路、加算回路等のビット幅を拡大することも可能である。また更に、演算手順もレジスタ数に応じて変更することが可能である。

【0082】なお、以上の説明から明らかに如く、本発明の誤り訂正方法は以下の特徴を有する。

【第1の特徴】入力される誤り訂正符号を含んだ符号語(R)に基づいてシンドローム(S)及び既知ポインタ(E)を生成し、生成されたシンドローム(S)及び既知ポインタ(E)から誤り情報(C)及び未知ポインタ(U)を生成して符号語(R)の誤りを訂正する誤り訂正方法において、訂正能力と生成された既知ポインタ(E)の数との差に応じて訂正方法を選択することによってある。

【0083】【第2の特徴】第1の特徴において、「既知ポインタ(E)の数+2≤訂正能力」である場合は、前記既知ポインタ(E)で示される位置以外に誤りが存在するか否かの判断を最初に行なうようにしている。

【0084】【第3の特徴】第2の特徴において、前記既知ポインタ(E)で示される位置以外に誤りが存在する場合に未知ポインタ(U)を生成し、既知ポインタ(E')=未知ポインタ(U')+既知ポインタ(E)とし、既知ポインタ(E')の訂正演算処理に移行するようにしている。

【0085】【第4の特徴】第1の特徴において、「既知ポインタ(E)の数+1≤訂正能力」である場合は、誤り情報(C)の正当性を判断すべく、前記誤り情報(C)の計算に使用されないシンドローム(S')を使

用して検算を行なうようにしている。

【0086】【第5の特徴】第4の特徴において、検算の結果が未使用のシンドローム(S')と一致しない場合は、訂正能力を超過する誤りが存在すると見做すようにしている。

【0087】更に、本発明の誤り訂正装置は以下の特徴を有する。

【第6の特徴】入力される誤り訂正符号を含んだ符号語(R)に基づいてシンドローム(S)及び既知ポインタ(E)を生成し、生成されたシンドローム(S)及び既知ポインタ(E)から誤り情報(C)及び未知ポインタ(U)を生成して符号語(R)の誤りを訂正する誤り訂正装置において、訂正対象の符号語(R)をその誤り訂正に必要な時間にわたって保持する受信データ保持手段(1)と、訂正対象の符号語(R)からシンドローム(S)を生成するシンドローム生成手段(2)と、変調された符号語(R')から既知ポインタ(E)を検出する既知ポインタ生成手段(3)と、前記既知ポインタ生成手段(3)が生成した既知ポインタ(E)の数を計数するポインタ計数手段(4)と、前記既知ポインタ生成手段(3)が生成した既知ポインタ(E)を誤り訂正に必要な時間にわたって保持するポインタ保持手段(5)と、誤り情報(C)及び未知ポインタ(U)を計算する演算手段(7)と、前記演算手段(7)を制御する演算制御手段(6)と、前記演算手段(7)が計算した誤り情報(C)に応じて前記受信データ保持手段(1)が保持している符号語(R)を訂正する誤り訂正手段(8)とを備え、前記ポインタ計数手段(4)の計数結果と誤り訂正能力とに応じて前記演算制御手段(6)による前記演算手段(7)の制御を決定すべくなしてある。

【0088】【第7の特徴】第6の特徴において、ポインタ計数手段(4)が計数した既知ポインタ(E)の数が「訂正能力-2」以下である場合は、前記演算手段(7)が未知ポインタ(U)の評価式を計算して評価結果を演算制御手段(6)に通知すべくなしてある。

【0089】【第8の特徴】第7の特徴において、前記演算手段(7)が未知ポインタ(U)の評価式を計算した結果、既知ポインタ(E)で示される位置以外に誤りが存在する場合は、前記演算手段(7)が未知ポインタ(U)を計算すべくなしてある。

【0090】【第9の特徴】第6の特徴において、前記ポインタ計数手段(4)が計数した既知ポインタ(E)の数が「訂正能力-1」である場合は、前記演算手段(7)が計算された誤り情報(C)及び未知ポインタ(U)を更に検算し、異常がある場合には前記誤り訂正手段(8)の動作を禁じるべくなしてある。

【0091】【第10の特徴】第9の特徴において、前記演算手段(7)は、検算の結果が異常である場合と既知ポインタ(E)の数が訂正能力を超過する場合とで、異なる種類の異常通知を発生すべくなしてある。

【0092】〔第11の特徴〕第6の特徴において、前記演算手段(7)は、それぞれが乗算手段(71)と、加算手段(72)と、前記乗算手段(71)及び各加算手段(72)による計算結果を保持するためのデータ保持手段(73)と、前記乗算手段(71)及び各加算手段(72)への入力を選択するためのデータ選択手段(74)とを有する訂正能力の数に等しい数の基本演算手段(701, 702, 703, 704)を有し、誤り情報(C)それに前記基本演算手段(701, 702, 703, 704)を割り当てることにより、前記演算制御手段(6)による前記基本演算手段(701, 702, 703, 704)の制御を共通化すべくなしてある。

【0093】〔第12の特徴〕第11の特徴において、各乗算手段(71)及び各加算手段(72)による演算結果を、前記演算制御手段(6)が前記データ選択手段(74)を制御することにより他の乗算手段(71)及び加算手段(72)の入力として選択可能にしてある。

【0094】〔第13の特徴〕第11の特徴において、前記演算手段(7)はデータ比較手段(76)及び除算を乗算として実行するための逆元テーブル(75)を備え、各乗算手段(71)及び各加算手段(72)による計算結果を前記データ保持手段(73)が前記演算制御手段(6)の制御により適宜のタイミングで保持すると共に前記データ選択手段(74)が順次的に選択することにより、前記データ比較手段(76)及び前記逆元テーブル(75)を共通使用すべくなしてある。

【0095】〔第14の特徴〕第6の特徴において、各乗算回路(71)及び各加算回路(72)による計算結果を前記データ保持手段(73)が前記演算制御手段(6)の制御により適宜のタイミングで保持すると共に前記乗算手段(71)及び加算手段(72)へデータを入力するためのデータ選択手段(74)にフィードバックすることにより繰り返し演算を行なうべくなしてある。

【0096】〔第15の特徴〕第14の特徴において、演算手段(7)の制御手順を前記演算制御手段(6)の制御により変更すべくなしてある。

【0097】〔第16の特徴〕第15の特徴において、データ保持手段(73)及びデータ選択手段(74)の処理能力を変更することにより、符号語(R)の長さが異なる場合及び訂正能力が異なる符号を用いる場合に対応すべくなしてある。

【0098】

【発明の効果】以上に説明したように、本発明の誤り訂正方法及びその装置によれば、消失訂正を併用する多種の演算を必要とする誤り訂正処理に際して、演算回路を複雑化することなく高速に誤り訂正演算を行なうことができると共に、装置の小型化及び低コスト化が可能になる。

【図面の簡単な説明】

【図1】本発明の誤り訂正装置の原理説明のための基本的構成を示すブロック図である。

【図2】本発明の誤り訂正装置の原理説明のための基本的構成の演算手段のより具体的な構成例を示すブロック図である。

【図3】本発明の誤り訂正装置の原理説明のための基本的構成の概略の動作を説明するためのフローチャートである。

10 【図4】本発明の誤り訂正装置の原理説明のための基本的構成の、シンドローム $\neq 0$ 、 $s + e \leq t - 1$ である場合の演算処理の一例($t = 4$, $s = 2$, $e = 1$)の演算処理の手順を説明するためのフローチャートである。

【図5】本発明の誤り訂正装置の一実施例の構成例を示すブロック図である。

【図6】本発明の誤り訂正装置の一実施例の構成例の演算部の具体的な構成例を示すブロック図である。

【図7】本発明の誤り訂正装置の一実施例の構成例による二重消失訂正の演算手順の一例を示すフローチャートである。

20 【図8】誤り訂正装置の従来技術の一例としての特開昭59-123945号公報の発明に開示されているロケーション評価式計算過程の演算のための構成を示すブロック図である。

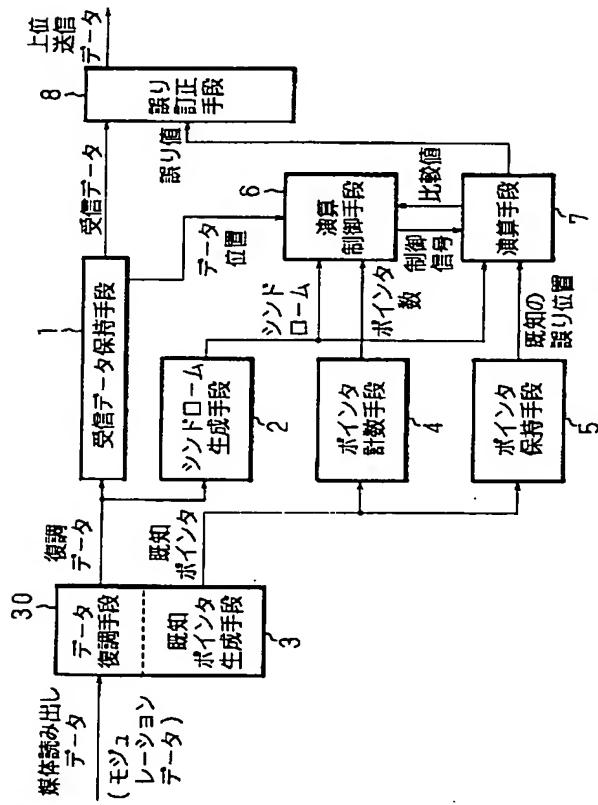
【図9】誤り訂正装置の従来技術の一例としての特開平3-166827号公報の発明に開示されているユークリッド互除に適用されるハードウェア構成を示すブロック図である。

【符号の説明】

30	1	受信データ保持部(データ保持手段)
	2	シンドローム生成部(シンドローム生成手段)
	3	ポインタ生成部(既知ポインタ生成手段)
	4	ポインタ計数部(ポインタ計数手段)
	5	ポインタ保持部(ポインタ保持手段)
	6	演算制御部(演算制御手段)
	7	演算部(演算手段)
	8	誤り訂正部(誤り訂正手段)
	71	乗算回路(乗算手段)
	72	加算回路(加算手段)
40	73	データ選択手段
	701, 702, 703, 704	演算回路(基本演算手段)
	R	符号語
	S	シンドローム
	E	既知ポインタ
	U	未知ポインタ
	C	誤り情報

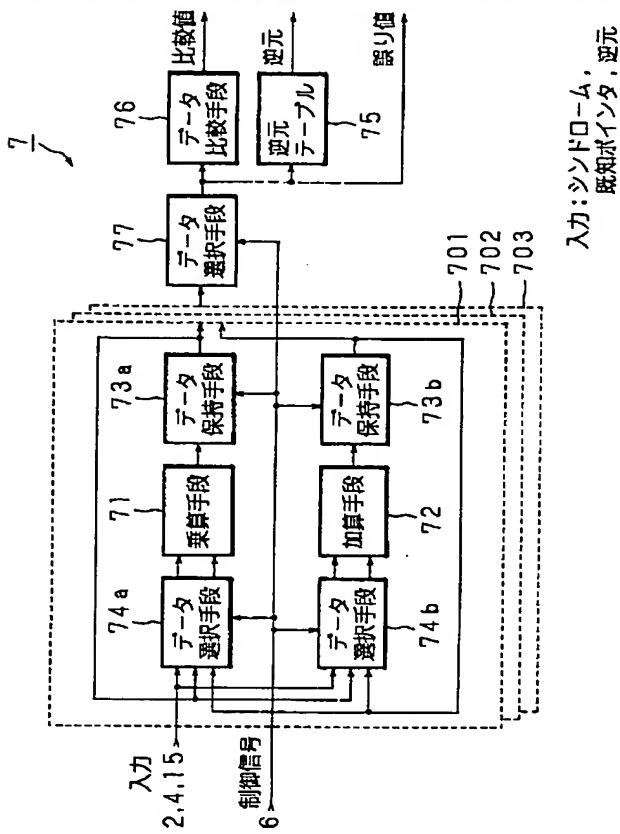
【图 1】

本発明の誤り訂正装置の原理説明のためのブロック図



[図2]

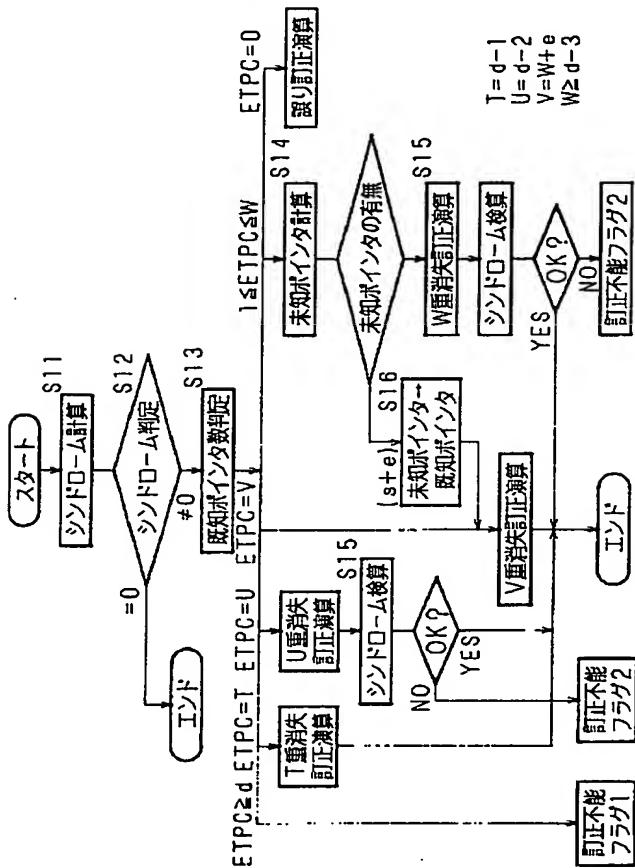
本発明の誤り訂正装置の演算手段の原理説明のためのブロック図



入力: シンドローム、既知ポイント、逆元

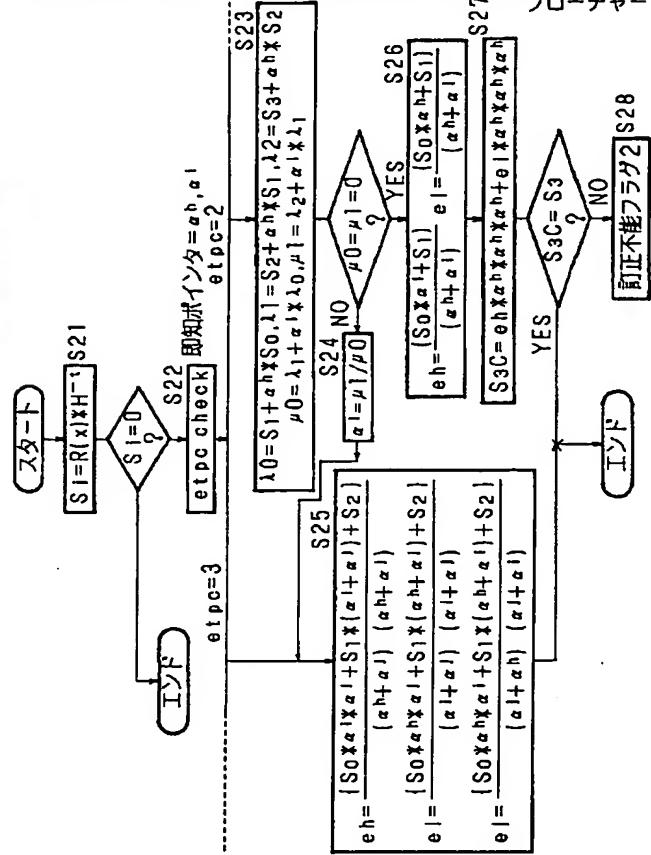
[図3]

本発明の誤り訂正装置の基本的構成の作用説明のための フローチャート

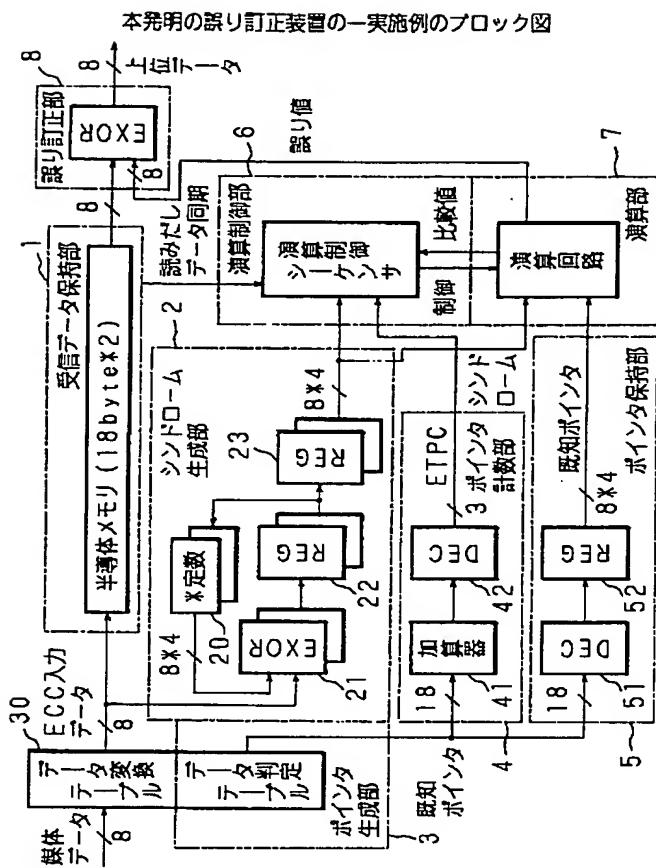


【図4】

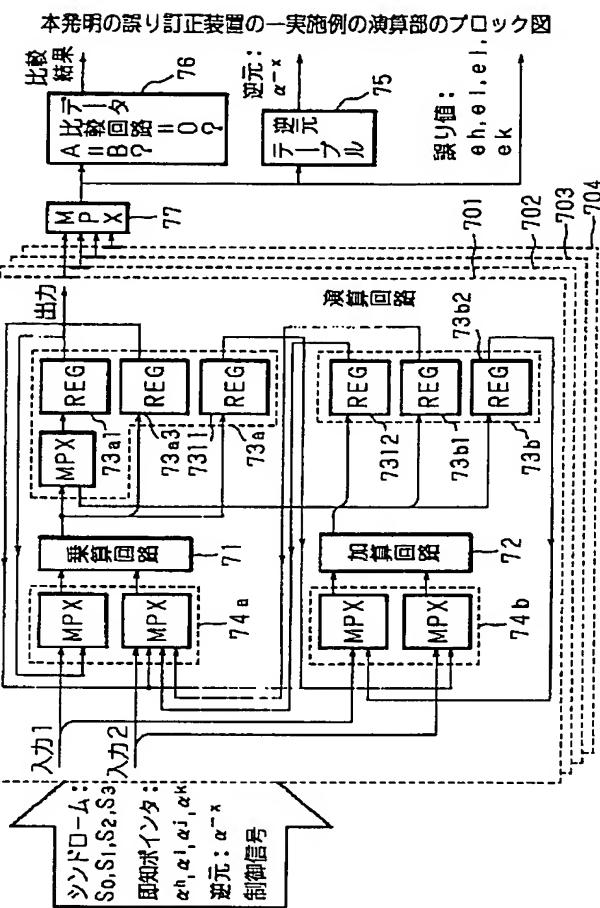
本発明の誤り訂正装置の基本的構成の具体的な作用説明のための フローチャート



【図5】

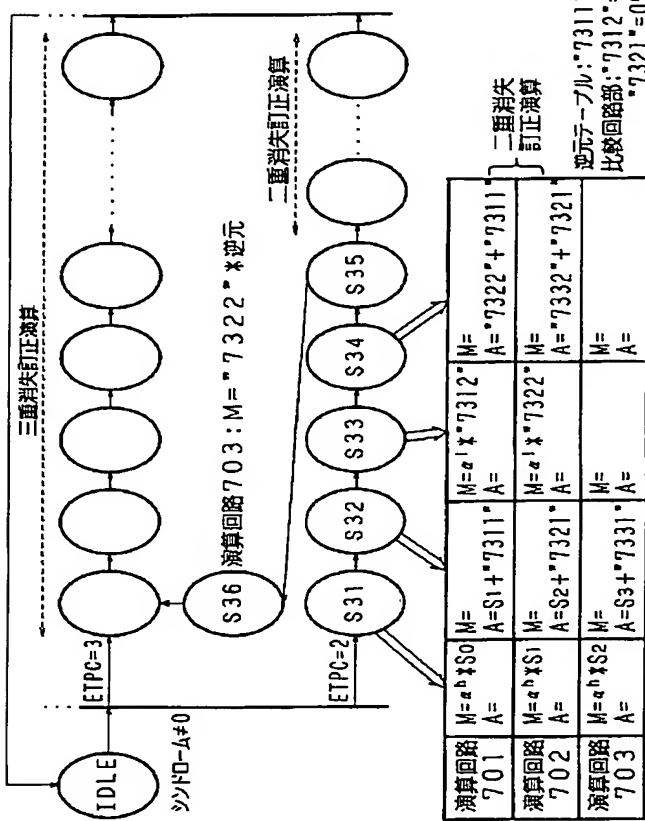


[図6]



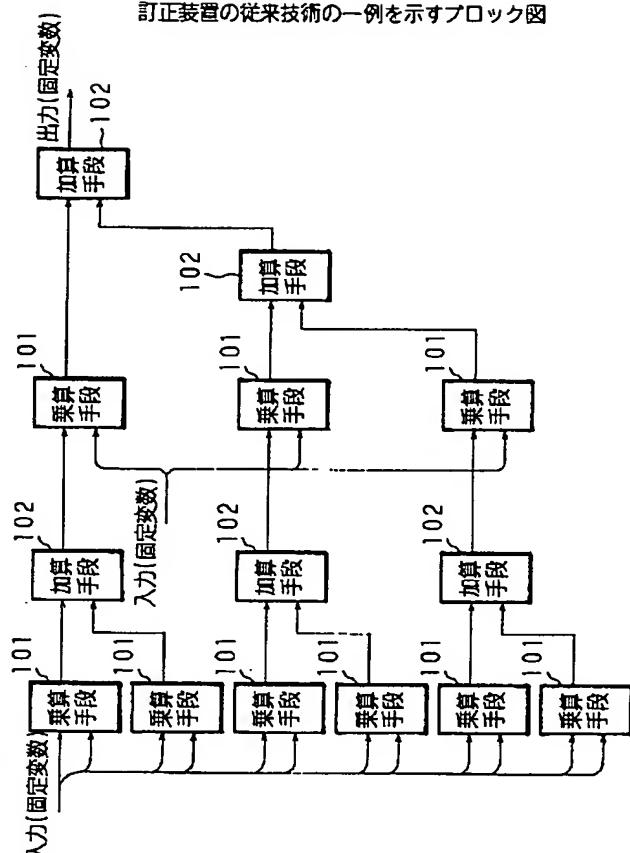
【図7】

本発明の誤り訂正装置の一実施例の動作を示すフロー・チャート



【図8】

訂正装置の従来技術の一例を示すブロック図



【図9】

訂正装置の従来技術の一例を示すブロック図

